

(11)特許出願公開番号
特開2000-164869
(P2000-164869A)

(43)公開日 平成12年6月16日(2000.6.16)

(51) Int.Cl.	識別記号	F I	テーマコード* (参考)
H 0 1 L 29/78		H 0 1 L 29/78	6 5 3 A
21/336			6 5 8 A

審査請求 未請求 請求項の数19 O.L (全 18 頁)

(21) 出願番号 特願平11-71596

(22) 出願日 平成11年3月17日(1999.3.17)

(31) 優先権主張番号 09/200197

(32) 優先日 平成10年11月25日(1998.11.25)

(33) 優先権主張国 米国(US)

(71)出願人 591077450
シリコニックス・インコーポレイテッド
SILICONIX INCORPORATED
アメリカ合衆国カリフォルニア州95054・
サンタクララ・ローレルウッドロード
2201

(72)発明者 モハメッド・エヌ・ダーウィッシュ
アメリカ合衆国カリフォルニア州95008・
キャンベル・リガスドライブ 675

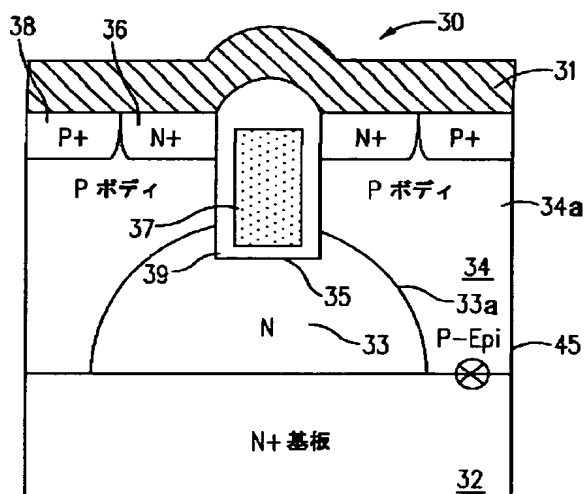
(74)代理人 100089266
弁理士 大島 陽一

(54)【発明の名称】 ブレークダウン特性及びオン抵抗特性を改善したトレンチ形MOSFET並びにその製造方法

(57)【要約】 (修正有)

【課題】 オン抵抗を低減すると共に、閾値電圧を増加させることなく、バンチスループブレークダウンが生じる危険性を低減することができるトレンチ形MOSFETを提供する。

【解決手段】 トレンチ形MOSFET30は、N+基板32の上層をなすP型エピタキシャル層34を含む構造体内に形成される。Nドレイン領域33はトレンチ35の底部を通りPエピタキシャル層内に注入され、拡散ステップを経てN+基板32とトレンチの底部との間に延在する。Nドレイン領域とPエピタキシャル層34との間の接合部33aは、N+基板とトレンチの隔壁との間に延在する。エピタキシャル層は階段状のドーピング濃度を有するか、或いは閾値調整埋設物が加えられてもよい。別法ではドレイン領域が省略され、トレンチがPエピタキシャル層を通りN+基板内まで延在することができる。



【特許請求の範囲】

【請求項1】 パワーMOSFETであって、
第1の導電型の半導体基板と、
前記基板の上層をなし、全般に前記第1の導電型と反対の第2の導電型からなり、内部にトレンチが形成されるエピタキシャル層と、
前記トレンチ内に配置され、前記トレンチの底面及び側壁に沿って延在する絶縁層により前記エピタキシャル層から電気的に隔離されるゲートとを有し、前記エピタキシャル層が、
前記第1の導電型からなり、前記エピタキシャル層の上側表面及び前記トレンチの前記側壁に隣接して配置されるソース領域と、
前記第2の導電型のボディ部と、
前記基板と前記トレンチの前記底部との間に延在する前記第1の導電型のドレイン領域とを有し、前記ドレイン領域と前記基板と前記トレンチの前記側壁との間に延在する前記ボディとの間に接合部が存在することを特徴とするパワーMOSFET。

【請求項2】 前記ドレイン領域の少なくとも75%は前記トレンチの真下に配置されることを特徴とする請求項1に記載のMOSFET。

【請求項3】 前記ドレイン領域の少なくとも90%が前記トレンチの真下に配置されることを特徴とする請求項1に記載のMOSFET。

【請求項4】 前記ドレイン領域と前記ボディとの間の前記接合部の形状が、前記ドレイン領域に向かう方向において窪んでいる弧状をなすことを特徴とする請求項1に記載のMOSFET。

【請求項5】 前記ドレイン領域のドーピング濃度が $5 \times 10^{15} \text{ cm}^{-3} \sim 5 \times 10^{17} \text{ cm}^{-3}$ の間にあることを特徴とする請求項1に記載のMOSFET。

【請求項6】 閾値電圧調整用埋設物をさらに有することを特徴とする請求項1に記載のMOSFET。

【請求項7】 ボディ埋設物をさらに有することを特徴とする請求項1に記載のMOSFET。

【請求項8】 前記エピタキシャル層が少なくとも2つのサブレイヤを備え、前記第1のサブレイヤが前記エピタキシャル層の前記表面に隣接し、前記第2のサブレイヤが前記第1のサブレイヤと前記基板との間をなし、また前記第1のサブレイヤは前記第2のサブレイヤのドーピング濃度と異なるドーピング濃度を有することを特徴とする請求項1に記載のMOSFET。

【請求項9】 前記第1のサブレイヤの前記ドーピング濃度が、前記第2のサブレイヤの前記ドーピング濃度より高いことを特徴とする請求項8に記載のMOSFET。

【請求項10】 前記第1のサブレイヤの前記ドーピング濃度が、前記第2のサブレイヤの前記ドーピング濃度より低いことを特徴とする請求項8に記載のMOSF

ET。

【請求項11】 前記第1のサブレイヤと前記第2のサブレイヤとの間の境界面が前記トレンチの前記側壁を横切ることを特徴とする請求項8に記載のMOSFET。

【請求項12】 パワーMOSFETであって、
第1の導電型の半導体基板と、
前記基板の上層をなし、その中にトレンチが形成されるエピタキシャル層と、

10 前記トレンチ内に配置され、前記トレンチの底面及び側壁に沿って延在する絶縁層により前記エピタキシャル層から電気的に隔離されるゲートとを有し、前記エピタキシャル層が、
前記第1の導電型からなり、前記エピタキシャル層の上側表面及び前記トレンチの前記側壁に隣接して配置されるソース領域と、

第2の導電型からなり、前記エピタキシャル層と前記基板との間の境界面と概ね一致する基板との接合部を形成するボディと、

20 前記基板と前記トレンチの前記底面との間に延在する前記第1の導電型のドレイン領域とを有することを特徴とするパワーMOSFET。

【請求項13】 前記ドレイン領域と前記ボディとの間の接合部が前記基板と前記トレンチの前記側壁との間に延在することを特徴とする請求項12に記載のMOSFET。

【請求項14】 パワーMOSFETであって、
第1の導電型の半導体基板と、

前記基板の上層をなし、全般に前記第1の導電型と反対の第2の導電型からなるエピタキシャル層と、

前記エピタキシャル層の表面から前記エピタキシャル層を通り前記基板内まで延在するトレンチと、

前記トレンチ内に配置され、前記トレンチの表面及び側壁に沿って延在する絶縁層により前記エピタキシャル層から電気的に隔離されるゲートと、

前記エピタキシャル層における前記第1の導電型からなり、前記エピタキシャル層の上側表面及び前記トレンチの前記側壁に隣接して配置されるソース領域とを有することを特徴とするパワーMOSFET。

40 【請求項15】 パワーMOSFETを製造する方法であって、

第1の導電型の基板を設ける過程と、

前記基板上に前記第1の導電型と反対の第2の導電型からなるエピタキシャル層を成長させる過程と、

前記エピタキシャル層内にトレンチを形成する過程と、

前記トレンチの表面を介して前記第1の導電型のドーパントを導入し、前記基板と前記トレンチの前記底面との間に延在するドレイン領域を形成する過程と、

50 前記トレンチの前記底面と側壁とに沿って絶縁層を形成する過程と、

前記トレンチ内に導電性ゲート材料を導入する過程と、前記エピタキシャル層内に前記第1の導電型のドーパントを導入し、ソース領域を形成する過程とを有し、前記ドレイン領域及び前記ソース領域は、前記ソース領域及びドレイン領域が前記トレンチの前記側壁に隣接する前記エピタキシャル層のチャンネル領域により分離されるような条件下で形成されることを特徴とするパワーMOSFETの製作方法。

【請求項16】 前記トレンチの底面を介して前記第1の導電型のドーパントを導入する過程が、300keV～3.0MeVのエネルギーでドーパントを注入することにより実行されることを特徴とする請求項15に記載の方法。

【請求項17】 前記ドレイン領域の形成過程に後続する熱収支が、60分間、約950℃と同等に制限されることを特徴とする請求項16に記載の方法。

【請求項18】 前記ドレイン領域の前記形成過程に後続する過程より大きな熱環境を加えることを特徴とする請求項15に記載の方法。

【請求項19】 前記エピタキシャル層内に閾値電圧調整用埋設物を導入する過程をさらに有することを特徴とする請求項15に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はパワーMOSFETに関連し、詳細には優れたオン抵抗特性及びブレイクダウン特性を有するトレンチゲート形パワーMOSFETに関連する。また本発明はそのようなMOSFETの製造工程に関連する。

【0002】

【従来の技術】従来のトレンチゲート形パワーMOSFET10が図1の断面図に示される。MOSFET10はN+半導体基板11に形成され、その半導体基板11上にNエピタキシャル層12が成長する。ゲート13は、Nエピタキシャル(N-epi)層12の上側表面から下方に延在するトレンチ14内に形成される。ゲートは典型的には、多結晶シリコン(ポリシリコン)から形成され、酸化物層15によりN-epi層12から電気的に隔離される。ゲート13に加えられる電圧は、Pボディ17内のトレンチ14の壁部に隣接して位置するチャンネルを通り、N+ソース16とドレイン18との間を流れる電流を制御する。ドレイン18は、N-epi層12及びN+基板11を含む。金属コンタクト層19は、N+ソース16及びP+ボディコンタクト領域20を介してPボディ17と電気的に接触する。同様の金属コンタクト層(図示せず)が典型的にはドレイン18の底面と電気的に接触する。

【0003】理想的にはMOSFETは、ターンオフするとき無限の抵抗を有し、かつターンオンする時抵抗がゼロである完全なスイッチとして動作するであろう。実

際にはこの目標は達成することができないが、それでもMOSFETの効率の2つの重要な測定値が、オン抵抗及びアバランシェブレイクダウン電圧(以下「ブレイクダウン電圧」)である。別の重要な基準はブレイクダウンが発生する場所である。ドレインは通常ソースに対して正にバイアスされるため、接合部21は逆バイアスされ、通常電界が最大になるトレンチの壁部でアバランシェブレイクダウンが発生する。ブレイクダウンは、ゲート酸化物層15を損傷或いは破壊してしまうホットキャリアを生成する。それゆえブレイクダウンはバルクシリコン内で、トレンチ14から離れて発生するようにデバイスを設計することが望ましい。

【0004】MOSFETの別の重要な特性は閾値電圧であり、それはチャンネル内に反転層を形成し、それによりデバイスをターンオンするためにゲートに加えられる必要がある電圧である。多くの場合に低い閾値電圧を有することが望ましく、これにはチャンネル領域が低濃度にドーピングされる必要がある。しかしながらチャンネルを低濃度にドーピングすると、バンチスループブレイクダウンの危険性が増加する。バンチスループブレイクダウンは、接合部21周囲の空乏領域がチャンネル間においてソースまで到達するように拡大する時に発生する。ボディ領域がより低濃度にドーピングされる時、空乏領域はより急速に拡大する。

【0005】トレンチの壁部における電界の強さを低減し、かつトレンチから離れたバルクシリコン内でブレイクダウンを発生させるための1つの技術が、Bulucea等に付与された米国特許第5,072,266号(「Bulucea特許」)に開示される。この技術は図2に示されており、図2は図1のMOSFET10に類似のMOSFET25を示すが、深いP+拡散部27がPボディ17からトレンチの底部下の高さまで延在することが異なる。深いP+拡散部27は、トレンチの壁部29における電界の強さを低減するように電界を成形する効果を有する。

【0006】Bulucea特許の技術はMOSFETのブレイクダウン特性を改善するが、セルピッチがあまりにも小さくなる場合には、深いP+拡散部からのドーパントがMOSFETのチャンネル領域内に入り込み、閾値電圧を上昇させるため、図2において「d」として示されるセルピッチにおいて下限が設けられる。セルピッチを減少させると、MOSFETのセルの全周囲を増加し、電流に対してより大きなゲート幅を与え、それによりMOSFETのオン抵抗を減少させる。従ってMOSFETのブレイクダウン特性を改善するために、Bulucea特許の技術を用いても、結局MOSFETのオン抵抗を低減することがより難しくなってしまう。

【0007】要約すると、パワーMOSFETの設計は、デバイスの閾値電圧とブレイクダウン電圧との間で、さらにオン抵抗特性とブレイクダウン特性との間で

妥協をする必要がある。従って製造工程を不当に複雑にすることなく、これらの妥協を避ける或いは最小限にするMOSFET構造が必要とされるのは明らかである。

【0008】

【発明が解決しようとする課題】オン抵抗を低減すると共に、チャネル内のドーパントプロファイルを平坦にすることにより、デバイスをターンオンするためにゲートに加える閾値電圧を増加させることなく、パンチスルーブレイクダウンが生じる危険性を低減することができるトレンチ形MOSFETを提供する。

【0009】

【課題を解決するための手段】本発明に従って、パワーMOSFETは第1の導電型の半導体基板内に形成され、その半導体基板上に第2の導電型のエピタキシャル層が載置される。トレンチはエピタキシャル層内に形成される。またパワーMOSFETは、トレンチ内に配置されるゲートを備えており、ゲートはトレンチの側壁及び底部に沿って延在する絶縁層によりエピタキシャル層から電気的に隔離される。エピタキシャル層は、第1の導電型からなり、エピタキシャル層の上側表面及びトレンチの壁部に隣接して配置されるソース領域、第2の導電型のベース或いはボディ、並びに基板からトレンチの底部まで延在する第1の導電型のドレイン領域からなり、接合部がドレイン領域と基板からトレンチの側壁まで延在するボディとの間をなす。さらにパワーMOSFETは閾値調整用埋設物を備えることができ、またエピタキシャル層は異なるドーパント濃度を有する2つ或いはそれ以上のサブレイヤ（「階段状epi層」）を備えることができる。

【0010】別の実施例では、トレンチは全エピタキシャル層を通り、基板内まで延在し、ドレイン領域は必要としない。

【0011】また本発明は、第1の導電型の基板を設ける過程と、基板の第1の導電型と反対の第2の導電型のエピタキシャル層を成長させる過程と、エピタキシャル層内にトレンチを形成する過程と、トレンチの底部を介して第1の導電型のドーパントを導入し、基板とトレンチの底部との間に延在するドレイン領域を形成する過程と、トレンチ内に導電性ゲート材料を導入する過程と、エピタキシャル層内に第1の導電型のドーパントを導入し、ソース領域を形成する過程とを有し、ソース領域及びドレイン領域がトレンチの側壁に隣接するエピタキシャル層のチャネル領域により隔離されるような条件下で形成されるパワーMOSFETの製造工程を含む。別法では、トレンチはエピタキシャル層を通り、基板まで延在するように形成されることができる。

【0012】本発明のMOSFETは以下に示すようないくつかの利点を有する。ドレイン領域は、エピタキシャル層が第2の導電型部分により横方向に包囲されるため、より有効な空乏領域が発生し、より多くの第1の導

電型のドーパントがドレイン領域内に入り込むことができる。それによりMOSFETのオン抵抗を減少させることができる。チャネル領域内のドーパントのプロファイルは比較的平坦であるため、MOSFETは、その閾値電圧を増加させることなくパンチスルーブレイクダウンを被ることを少なくすることができる。エピタキシャル層の第2の導電型部分はドレイン領域のエリア内を除いて基板まで延在するため、デバイスを終端するためにさらに第2の導電型層を形成する必要はない。Bulucea特許の深い拡散部及び終端領域のための分離マスクは排除することができる。Bulucea特許の深いボディ拡散部を排除することにより、セル密度を増加し、オン抵抗を減少させることができる。

【0013】本発明によるパワーMOSFETは、例えば、六角形或いは四角形の閉じたセル、或いは長手方向のストライプの形状をなすセルを含む任意のタイプのセル構造において製造することができる。

【0014】

【発明の実施の形態】本発明に従ったパワーMOSFETの断面図が図3に示される。MOSFET30はN+基板32に形成され、その基板上にepi層34が載置され、全体的にP型不純物（ここではP-epi層34と呼ぶ）をドーピングされている。N+基板32は $5 \times 10^{-4} \Omega \cdot \text{cm} \sim 5 \times 10^{-3} \Omega \cdot \text{cm}$ の抵抗率を有することができる。例えばP-epi層34は、 $1 \times 10^{15} \text{cm}^{-3} \sim 5 \times 10^{17} \text{cm}^{-3}$ の濃度にホウ素をドーピングすることができる。N+基板32は典型的には約200 μm 厚であり、epi層34は2 $\sim 5 \mu\text{m}$ 厚であることができる。

【0015】トレンチ35はP-epi層34内に形成され、トレンチ35はポリシリコンゲート37を含む。ゲート37は、トレンチ35の側壁及び底部に沿って延在する酸化層39によりP-epi層から電気的に隔離されている。またMOSFET30は、P-epi層34の上側表面及びトレンチ35の側壁に隣接するN+ソース領域36及びP+ボディコンタクト領域38を備える。P-epi層34の残りの部分は、P型ベース或いはボディ34Aを形成する。ボディ34Aは、P-epi層34とN+基板32との間の境界面に概ね一致するN+基板32との接合部を形成する。金属層31は、N+ソース領域と電気的に接触し、P+ボディコンタクト領域38を介してPボディ34Aと電気的に接触する。

【0016】さらに本発明に従って、Nドレイン領域33がN+基板32とトレンチ35の底部との間に延在する。Nドレイン領域33とPボディ34Aとの接合部33Aは、N+基板32とトレンチ35の側壁との間に延在する。Nドレイン領域は、例えば、 $5 \times 10^{15} \text{cm}^{-3} \sim 5 \times 10^{17} \text{cm}^{-3}$ にリンをドーピングすることができる。

【0017】図19はMOSFET30のドーピング濃度のグラフである。そのグラフはコンピュータシミュレ

ーションプログラムSUPREMEにより作成され、チャンネル領域を通る垂直な断面において取り出されたものである。図示される曲線は、ヒ素及びホウ素のドーピング濃度を示しており、第3の曲線は正味のドーピング濃度を示す。図20は、トレンチの底部を横断する垂直な断面において取り出した同様のグラフである。両方のグラフにおける横軸はP-e-p-i層の表面から下の距離を μm 単位で表しており、縦軸は個/cm³におけるドーピング濃度のlog₁₀の値である。図19におけるホウ素の濃度は、P-e-p-i層34のバックグラウンドドーバントであり、比較的平坦で、チャンネル領域を支配する。

【0018】図21及び図22は、それぞれ図19及び図20と同じ断面におけるドーピング濃度のグラフである。しかしながら、図21及び図22はコンピュータシミュレーションプログラムMEDICIを用いて作成され、N型或いはP型の何れかの正味のドーピング濃度のみを示す。

【0019】SUPREME及びMEDICIシミュレーションは以下の点で異なる。SUPREMEは、1つの垂直断面におけるドーピングのみを考慮し、他の横方向にずれた位置にあるドーバントの効果を考慮しないが、MEDICIは図面の二次元平面における全てのドーバントを考慮する。以下はMOSFET30の利点を示す。

1. アバランシェブレークダウンは、N+基板32とP-e-p-i層34との間の境界面において、トレンチから離れて（例えば、図3において45で示される位置において）発生するであろう。これにより、ブレークダウンのエリアにおいて発生するホットキャリアによるゲート酸化物層への損傷を避けることができる。

2. 電界が最大に達するトレンチの角部におけるゲート酸化物層は破壊から保護される。

3. より高いパンチスルーブレークダウンが所定の閾値電圧に対して得られる。Nドレイン領域とPボディとの間の接合部は、N+基板まで下方に延在する。図23に示されるように、MOSFETが逆バイアスされる時、空乏領域は接合部全体に沿って延在し、その結果チャンネルのエリア内の空乏領域はソース領域に向かって急速には拡大しない（矢印参照）。これがパンチスルーブレークダウンを生ずる条件である。

4. より高いパンチスルーブレークダウン電圧が所定の閾値電圧に対して得られる。図26Aに示されるように、拡散したボディを有する従来のMOSFETでは、ボディのドーバント濃度は、N-e-p-i（ドリフト領域）に近づくに従って徐々に降下する。閾値電圧はピークドーピング濃度 $N_{A,peak}$ により確定される。パンチスルーブレークダウン電圧は、（図26AにおいてPボディ曲線下のエリアにより示される）チャンネル領域の電荷 $Q_{channel}$ の総量により確定される。本発明のMOSF

ETでは、図26Bにそのドーピングプロファイルが示されており、P-e-p-i層のドーバントプロファイルは比較的平坦である。それゆえ、チャンネルの全電荷はより大きくなるが $N_{A,peak}$ は同じであり、より高いパンチスルーブレークダウン電圧を与えることができる。

5. (Bulucea特許に開示されるような)各セルの深いボディ拡散部が存在しないため、付加的なP型ドーバントがチャンネル領域に入り込むことに関係なくセルピッチを減少させ、MOSFETの閾値電圧を上昇させることができる。こうしてセル詰込み密度を増加させることができる。これによりデバイスのオン抵抗は減少する。

6. 従来のトレンチ形MOSFETでは、低濃度にドーブされた「ドリフト領域」が、チャンネルと高濃度にドーブされた基板との間に形成されることが多い。ドリフト領域のドーピング濃度は或るレベルより低い値に保持されなければならないが、それはそうしないと有効な空乏領域が得られず、トレンチの角部における電界の強さが大きくなりすぎるためである。ドリフト領域のドーピング濃度を低い値に保持することにより、デバイスのオン抵抗は上昇する。対称的に、本発明のNドレイン領域33はより高濃度にドーブされることができ、それはNドレイン領域33の形状と、Nドレイン領域33とPボディ34Aとの間の接合部の長さがより有効な空乏領域を与えるためである。より高濃度にドーブされたNドレイン領域33によりデバイスのオン抵抗が減少する。

7. 図24Aに示されるように、P-e-p-i層がNドレイン領域が位置する場所を除いてN+基板まで延在するため、MOSFETの終端領域において分離したP型拡散部を設ける必要がない。図24Bは、P型拡散部110を含む従来のMOSFETの終端領域を示す。P型終端拡散部或いはフィールドリング部を排除することにより、マスキング過程の数を減らすことができる。例えば、図5-図16において示されるプロセスでは、5つのマスキング過程のみしか必要としない。

【0020】MOSFET40は図4に示されるように、閾値電圧調整用埋設物42を有する点を除いてMOSFET30と同様である別の実施例である。そのような埋設物は、MOSFET40の閾値電圧を0.6Vから1.0Vまで上昇させるであろう。

【0021】図5-図16は、MOSFET30及び40を形成するための過程を示す。

【0022】そのプロセスは、N+基板32（図5）で開始し、その上にP-e-p-i層34が周知のプロセス（図6）により成長する。その後薄い酸化物層51が、約50分間1150℃で蒸気中で加熱することによりP-e-p-i層34の表面上に成長する（図7）。酸化物層51はマスクされ、デバイスのアクティブ領域（すなわちアクティブMOSFETセルが配置されるべきエリアから）から除去され、そして終端部及びゲートパッドエ

リア内に残される。

【0023】その後フォトリソマスク52がP-e p i層34の表面上に形成され、トレンチ35が反応性イオンエッチ(RIE)プロセスにより形成される。そのプロセスは、トレンチの底部がN+基板32に達する前に終了される(図9)。

【0024】フォトリソマスク52を適所に残すことにより、リンが、 $1 \times 10^{13} \text{ cm}^{-2} \sim 1 \times 10^{14} \text{ cm}^{-2}$ のドーズ量で、かつ300keV～3.0MeVのエネルギーでトレンチ35の底部を介して注入され、Nドレイン領域33を形成する(図10)。リンが著しく拡散し、その結果Nドレイン領域33が拡大するのを避けるために、それ以降その構造体が暴露される熱収支が60分間で約950℃と同等に制限されるか、若しくはその構造体は90秒間1050℃の急速加熱アニール(rapid thermal anneal: RTA)に曝されるようになる。何れの場合においても、Nドレイン領域33は図10に示される概ねコンパクトな形状に保持される。図10の断面図において、少なくとも75%、好ましくは90%のNドレイン領域33がトレンチ35の真下に配置されるとい

う利点がある。

【0025】別法では、Nドレイン領域33は、30keV～300keV(典型的には150keV)の低いエネルギーでリンを注入し、10～120分間、1050℃～1150℃(典型的には90分間1100℃)で加熱することによりリンを拡散して形成することができ、その結果Nドレイン領域33は、図11に示されるような形状に横方向に延在する。

【0026】高エネルギープロセスを用いることにより、Nドレイン領域はトレンチの真下の領域に概ね制限され、セルピッチを小さくすることができる。また容易に制御することができ、より大きなスループットを与えることができる。

【0027】そのプロセスの最後では、高エネルギーか低エネルギーかに関わらず、Nドレイン領域33はN+基板32からトレンチ35の底部まで延在し、ドレイン領域33とPボディ34Aとの間の接合部33Aは、N+基板32からトレンチ35の側壁まで延在する。低エネルギープロセスが用いられる場合、接合部33Aは、ドレイン領域33に向かって窪んだ弧形の形状を実現する(図11)。

【0028】その後ゲート酸化物層39は、P-e p i層34の表面及びトレンチ35の底面及び側壁上に成長し、典型的には約500オングストロームの厚さになる。

【0029】その後ポリシリコン層53がゲート酸化物層39上に堆積し、トレンチ35を充填する(図12)。NチャンネルMOSFETでは、ポリシリコン層53は典型的には $5 \times 10^{19} \text{ cm}^{-3}$ の濃度までリンをドーブされる。

【0030】ポリシリコン層53は、上側表面がP-e p i層34の表面と共面をなすようにエッチバックされる。酸化物層54が、熱酸化或いは堆積によりゲートの上側表面上に形成される(図13)。

【0031】さらに閾値電圧を調整する場合には、閾値電圧調整用埋設物42が形成される。埋設物42は、 $5 \times 10^{12} \text{ cm}^{-2}$ のドーズ量で、150keVのエネルギーでP-e p i層34の表面を介してホウ素を注入することにより形成され(図14)、MOSFETのチャネルを形成することになるP-e p i層34の部分においてP型原子の濃度が $1 \times 10^{17} \text{ cm}^{-3}$ になるようにする。図25Aは、チャネルを通して取り出された垂直な断面のドーパントプロファイルを示すグラフであり、閾値調整用埋設物を示し、閾値調整用埋設物が典型的にはソース領域の真下にあるチャネルのエリア内に配置されるということを示す。MOSFETの閾値電圧は、閾値調整用埋設物のピークドーピング濃度 $N_A, \dots$ により確定される。デバイスの閾値電圧を調整する必要がない場合には、そのステップは省略されてもよい。

【0032】別法では、図25Bのグラフに示されるように、ボディ注入が実行されるてもよい。ボディ注入は閾値調整用埋設物にほぼ類似であるが、用いられるエネルギーがより高く、その結果ボディ注入物はP-e p i層とNドレイン領域との間の接合部付近の高さまで延在する。MOSFETの閾値電圧は、ボディ注入物のピークドーピング濃度 $N_A, \dots$ により確定される。

【0033】N+ソース領域36及びP+ボディコンタクト領域38は、従来のマスキングプロセス及びフォトリソグラフィプロセスを用いてP-e p i層34の表面において形成される(図15)。例えば、N+ソース領域は、 $5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量、かつ80keVのエネルギーでヒ素を注入され、 $1 \times 10^{19} \text{ cm}^{-3}$ の濃度を実現することができる。P+ボディコンタクト領域38は、 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量、かつ60keVのエネルギーでホウ素を注入され、 $5 \times 10^{19} \text{ cm}^{-3}$ のドーパント濃度を実現することができる。

【0034】最終的に、金属層31、好ましくはアルミニウムが、N+ソース領域36及びP+ボディコンタクト領域38にオーム接触状態でP-e p i層34の表面上に堆積する。

【0035】図17は別の実施例を示す。MOSFET60はMOSFET30と類似であるが、P-e p i層34はサブレイヤPepi1及びPepi2に分割される。周知のプロセスを用いて、サブレイヤを有するepi層は、epi層が成長する間にドーパントガスの流量を変更することにより形成することができる。別法では、サブレイヤPepi1は、epi層34の上側部分にドーパントを注入することにより形成することができる。

【0036】サブレイヤPepi1のドーパント濃度

は、サブレイヤPepi2のドーパント濃度より大きい
か、或いは小さいかのいずれかである。MOSFETの
閾値電圧及びパンチスルーブレークダウンは、サブレイ
ヤPepi1のドーピング濃度の関数であるが、一方M
OSFETのブレークダウン電圧及びオン抵抗はサブレイ
ヤPepi2のドーピング濃度の関数である。従っ
て、本実施例のMOSFETでは、閾値電圧及びパンチ
スルーブレークダウン電圧は、アバランシェブレークダ
ウン電圧及びオン抵抗と無関係に設計することができ
る。Pepi層34は、異なるドーピング濃度を有する3つ以上のサブレイヤを有することもできる。

【0037】図18は別の実施例を示しており、MOS
FET70ではドレイン領域33は省略され、トレンチ
35はPepi層34を通りN+基板32まで完全に
延在する。本実施例は、低電圧（例えば5V以下）MO
SFETの場合に特に適している。

【0038】本発明のいくつかの特定の実施例が記載さ
れてきたが、これらの実施例は例示に過ぎない。多くの
さらに別の実施例を本発明の幅広い原理に基づき実行す
ることができるということは当業者には理解されよう。
例えば、上記実施例はNチャネルMOSFETである
が、MOSFETの種々の領域の導電型を反転すること
により本実施例に従ったPチャネルMOSFETを製造
することができる。

【0039】

【発明の効果】上記のように本発明のトレンチ形MOS
FETは、閾値電圧を上昇させることなくパンチスルー
ブレークダウンが発生する危険性を低減することがで
き、また従来ブレークダウン特性を改善するために必要
とした深い拡散部を排除することができるため、セル密
度を増加し、オン抵抗を低減することができる。

【図面の簡単な説明】

【図1】従来のトレンチゲート形MOSFETの断面図
である。

【図2】Bulucea特許に開示されるようなゲート
酸化物層を保護するための深い拡散部を有するトレンチ
ゲート形MOSFETの断面図である。

【図3】本発明に従ったトレンチ形MOSFETの断面
図である。

【図4】閾値調整用埋設物を有する本発明に従ったト
レンチ形MOSFETの断面図である。

【図5】図3及び図4のMOSFETを製作するための
工程を示す断面図である。

【図6】図3及び図4のMOSFETを製作するための
工程を示す断面図である。

【図7】図3及び図4のMOSFETを製作するための
工程を示す断面図である。

【図8】図3及び図4のMOSFETを製作するための
工程を示す断面図である。

【図9】図3及び図4のMOSFETを製作するための

工程を示す断面図である。

【図10】図3及び図4のMOSFETを製作するため
の工程を示す断面図である。

【図11】図3及び図4のMOSFETを製作するため
の工程を示す断面図である。

【図12】図3及び図4のMOSFETを製作するため
の工程を示す断面図である。

【図13】図3及び図4のMOSFETを製作するため
の工程を示す断面図である。

【図14】図3及び図4のMOSFETを製作するため
の工程を示す断面図である。

【図15】図3及び図4のMOSFETを製作するため
の工程を示す断面図である。

【図16】図3及び図4のMOSFETを製作するため
の工程を示す断面図である。である。

【図17】階段状エピタキシャル層内に形成される本発
明に従ったトレンチ形のMOSFETの断面図である。

【図18】トレンチが高濃度にドーパされた基板内に延
在する本発明に従ったトレンチ形MOSFETの断面図
である。

【図19】コンピュータシミュレーションプログラムS
UPREMEを用いて作成されたグラフであり、チャ
ネル領域における図3のMOSFETのドーパント濃度を
示す。

【図20】コンピュータシミュレーションプログラムS
UPREMEを用いて作成されたグラフであり、ト
レンチの底部における図3のMOSFETのドーパント濃度
を示す。

【図21】コンピュータシミュレーションプログラムM
EDICIを用いて作成されたグラフであり、チャ
ネル領域を通る垂直な断面における図3のMOSFETのド
ーパント濃度を示す。

【図22】コンピュータシミュレーションプログラムM
EDICIを用いて作成されたグラフであり、ト
レンチの底部を通る垂直な断面における図3のMOSFETの
ドーパント濃度を示す。

【図23】逆バイアス条件下における図3のMOSF
ETの空乏領域を示す。

【図24】A及びBからなり、それぞれ本発明の従った
MOSFET及び従来のMOSFETの終端領域を示す
断面図である。

【図25】A及びBからなり、それぞれ閾値調整用埋設
物及びボディ埋設物を示すドーピングプロファイルのグ
ラフである。

【図26】A及びBからなり、AはNepi領域内に
拡散されたPボディを有する従来のMOSFETのチャ
ネルを通る垂直な断面で見たドーピングプロファイルの
グラフであり、BはPepi層及びNDレイン領域を
有する本発明に従ったMOSFETのチャネルを通る垂
直な断面で見たドーピングプロファイルのグラフであ

13

14

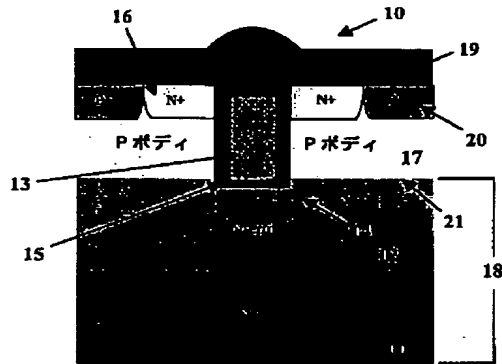
る。

【符号の説明】

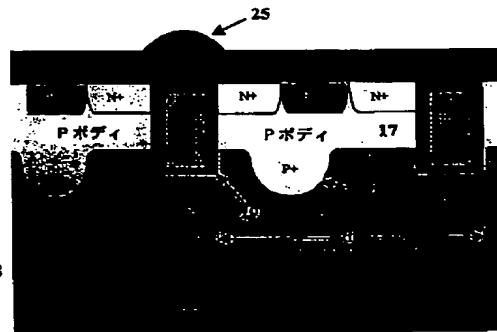
- 10 従来のトレンチゲート形パワーMOSFET
 11 N+半導体基板
 12 Nエピタキシャル層
 13 ゲート
 14 トレンチ
 15 ゲート酸化物層
 16 N+ソース
 17 Pボディ
 18 ドレイン
 19 金属コンタクト層
 20 P+ボディコンタクト領域
 21 接合部
 25 MOSFET
 27 深いP+拡散部
 29 トレンチ壁部
 30 MOSFET
 31 金属層

- * 32 N+基板
 33 Nドレイン領域
 33a 接合部
 34 Pエピタキシャル層
 34a ボディ
 35 トレンチ
 36 N+ソース領域
 37 ポリシリコンゲート
 38 P+ボディコンタクト領域
 10 39 酸化物層
 40 MOSFET
 42 閾値電圧調整用埋設物
 45 アバランシェブレイクダウン発生場所
 51 酸化物層
 52 フォトリソグマスク
 53 ポリシリコン層
 54 酸化物層
 60 MOSFET
 * 70 MOSFET

【図1】



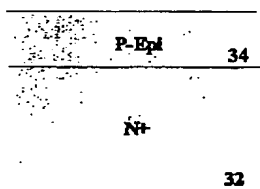
【図2】



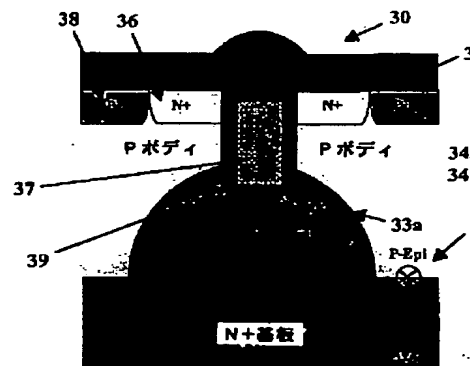
【図5】



【図6】



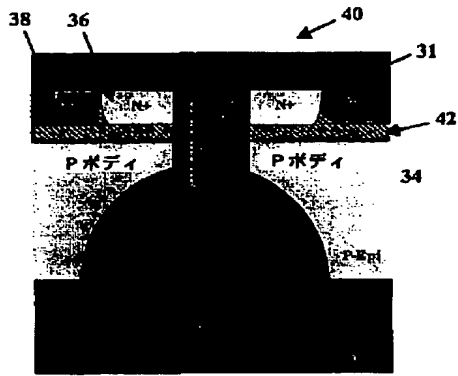
【図3】



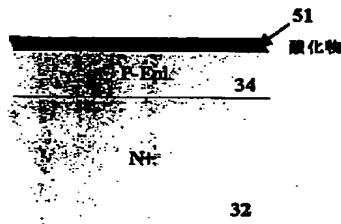
【図13】



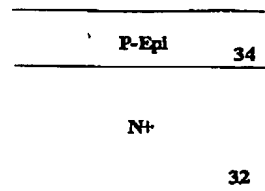
【図4】



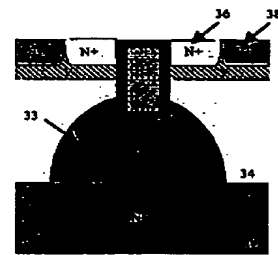
【図7】



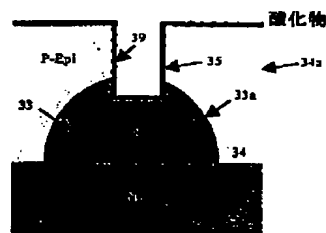
【図8】



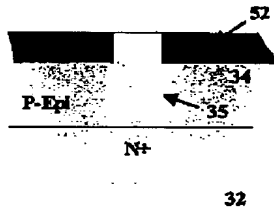
【図15】



【図11】



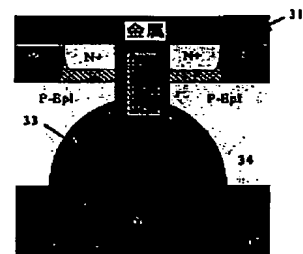
【図9】



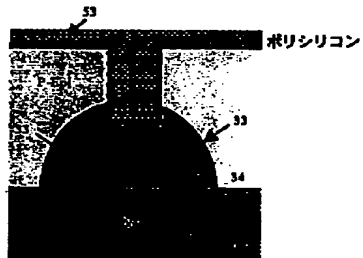
【図10】



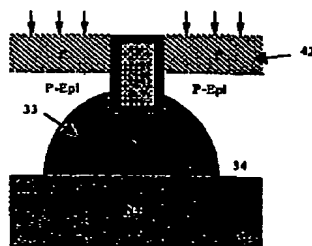
【図16】



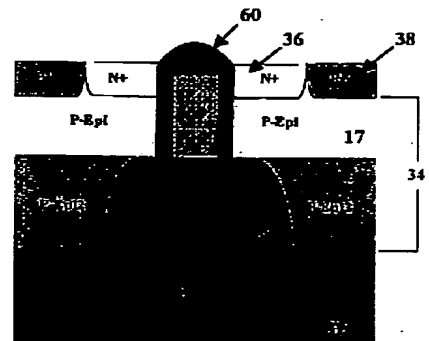
【図12】



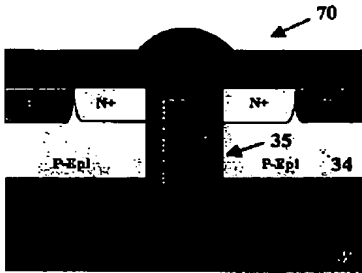
【図14】



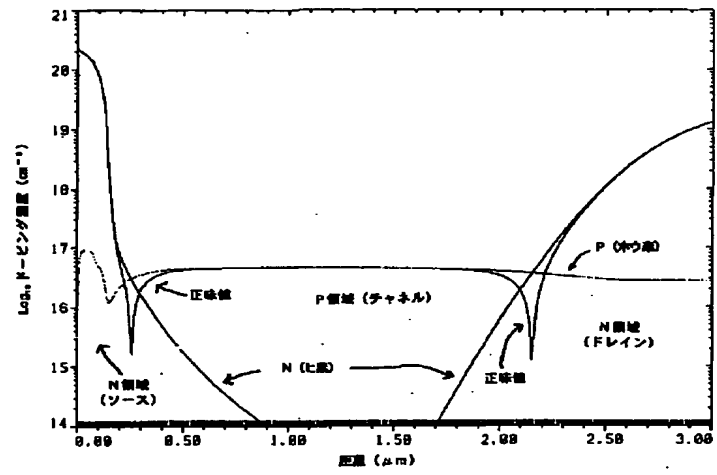
【図17】



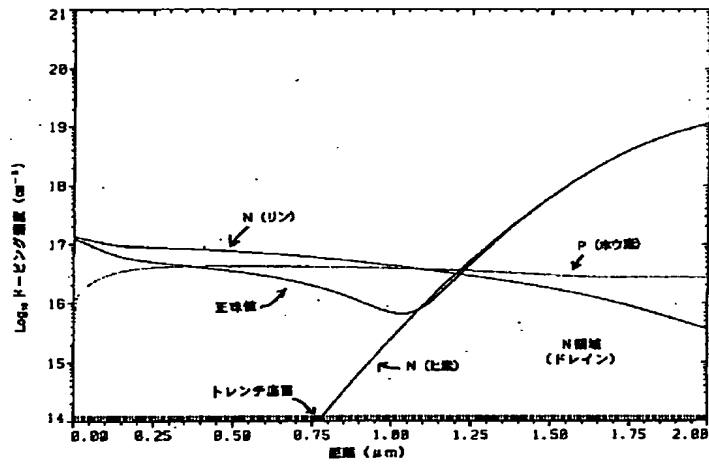
【図18】



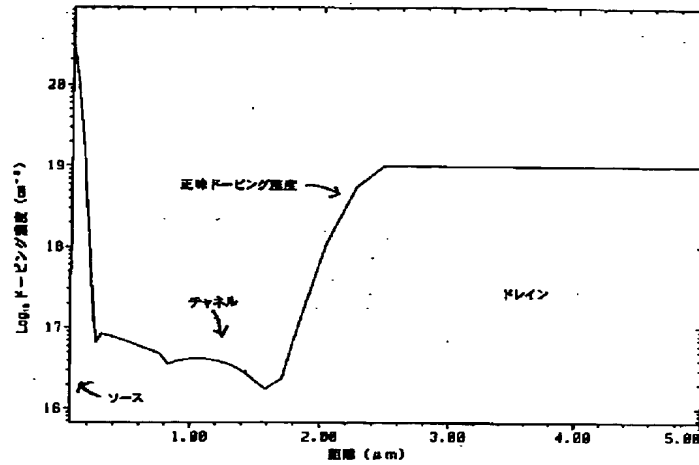
【図19】



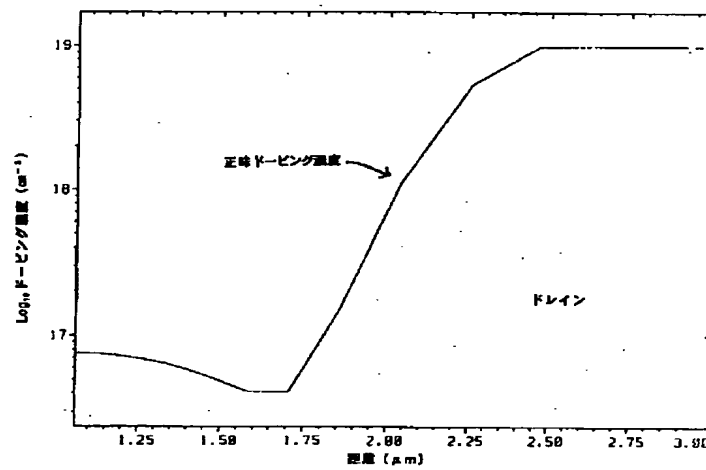
【図20】



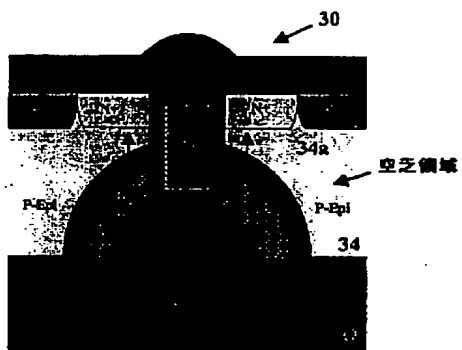
【図21】



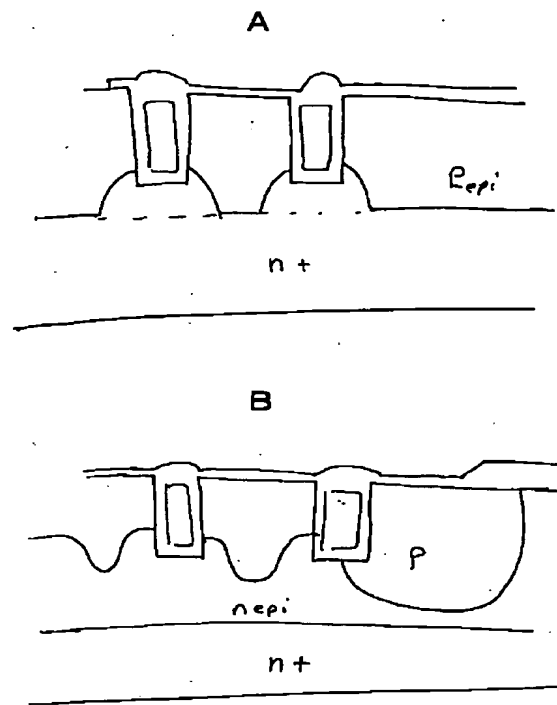
【図22】



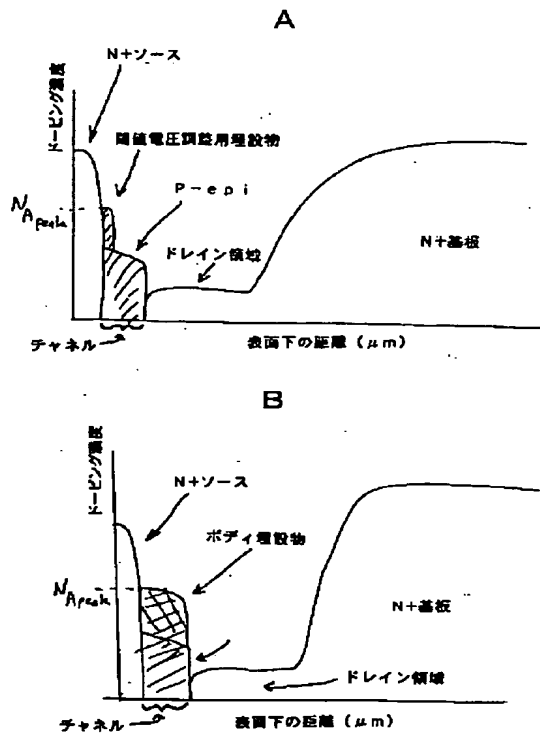
【図23】



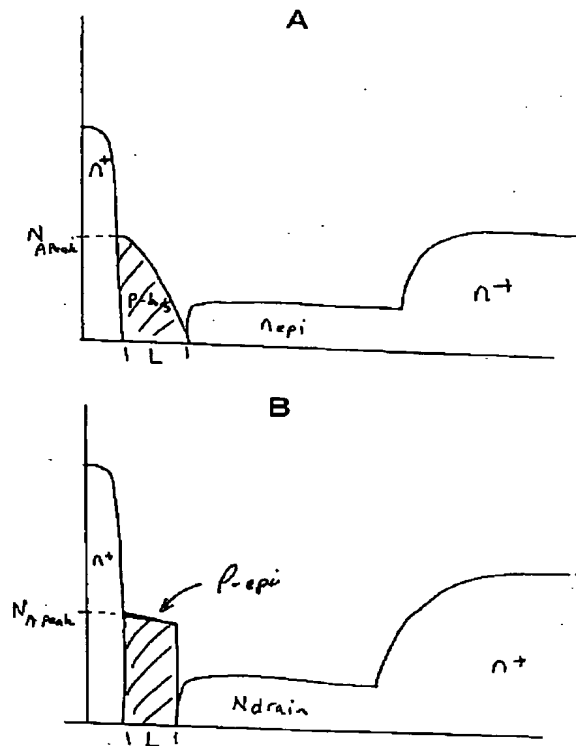
【図24】



【図25】



【図26】



【手続補正書】

【提出日】平成11年8月9日(1999. 8. 9)

【手続補正1】

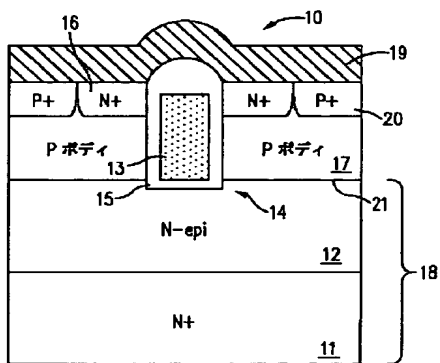
【補正対象書類名】図面

* 【補正対象項目名】全図

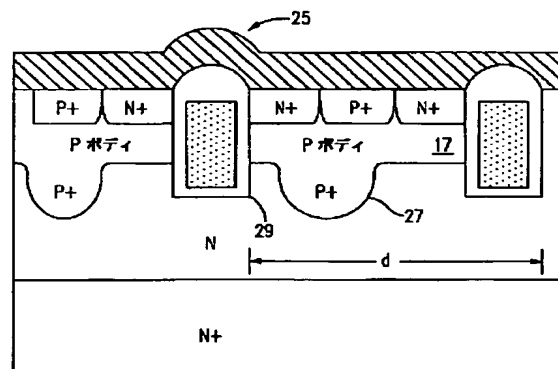
【補正方法】変更

* 【補正内容】

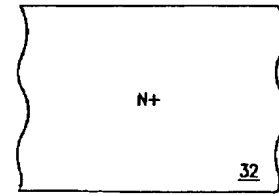
【図1】



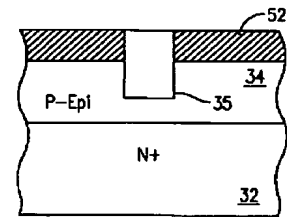
【図2】



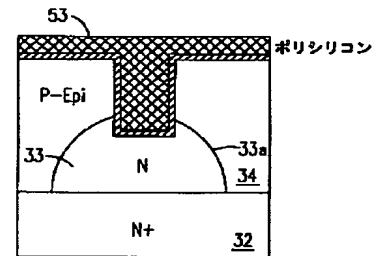
【図5】



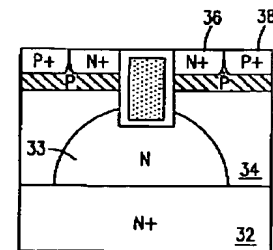
【圖 8】



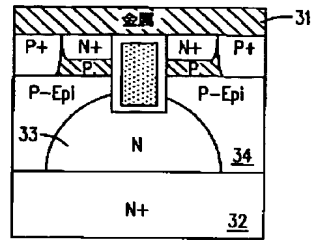
【圖 12】



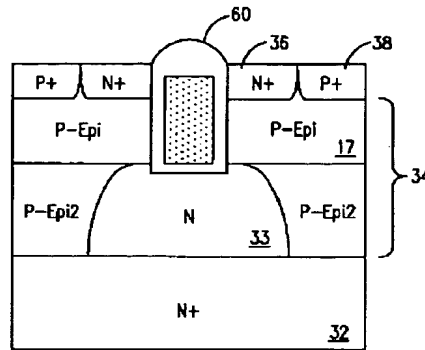
【図15】



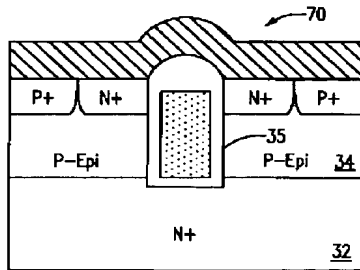
【図16】



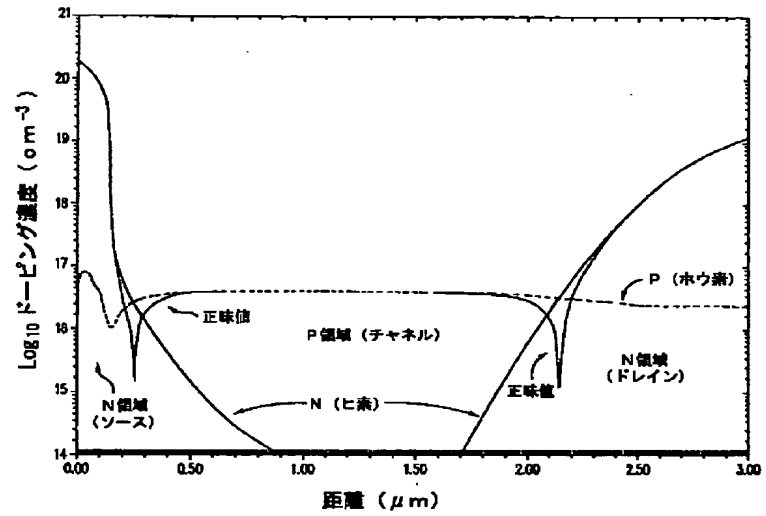
【図17】



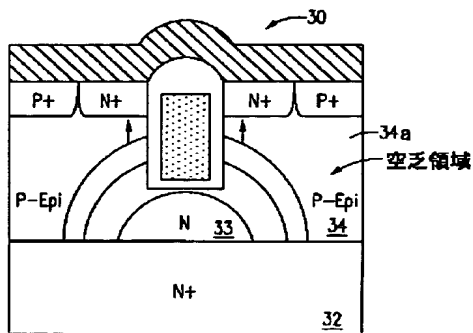
【図18】



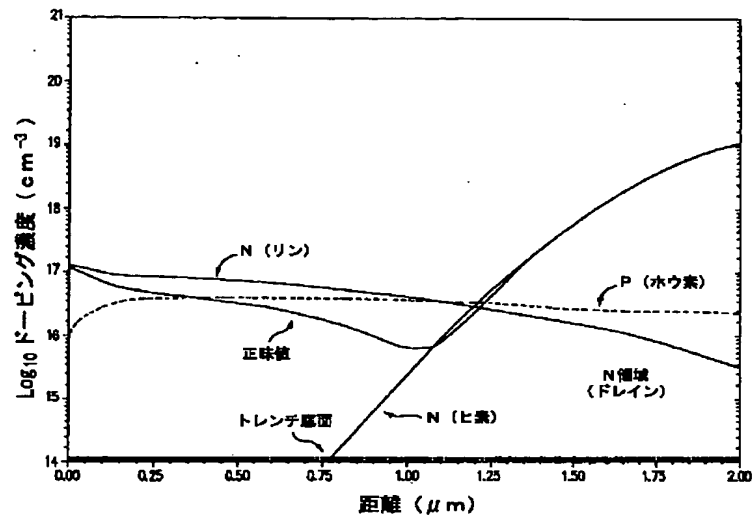
【図19】



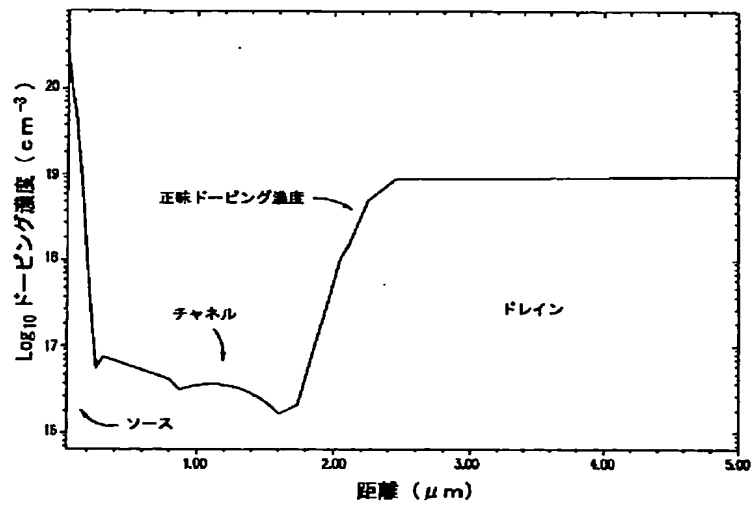
【図23】



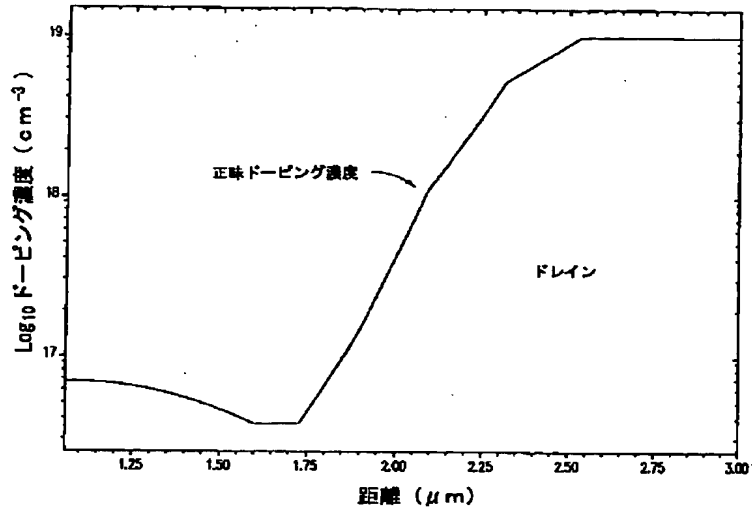
【図20】



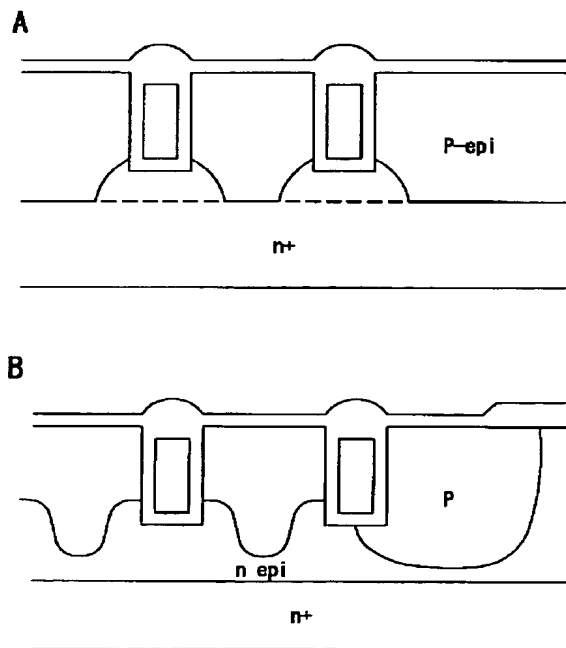
【図21】



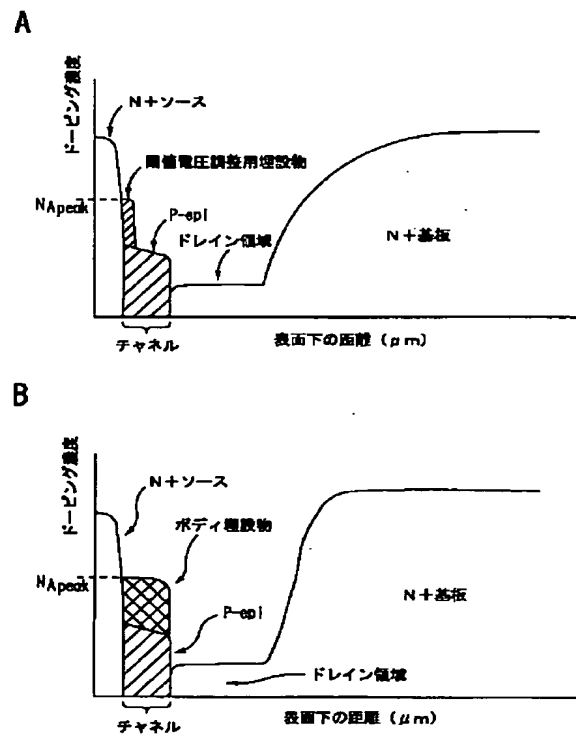
【図22】



【図24】



【図25】



【図26】

